

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-147352

(43)Date of publication of application : 06.06.1995

(51)Int.Cl. H01L 23/12  
H01L 23/12

(21)Application number : 05-293239

(71)Applicant : HITACHI LTD

(22)Date of filing : 24.11.1993

(72)Inventor : HAYASHI TERUYOSHI  
HARADA TAKU  
IMAZUMI ICHIRO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

### (57)Abstract

**PURPOSE:** To match the characteristic impedance of a signal transmission line inside a package on which a semiconductor chip in which an ultrahigh-speed LSI has been formed is mounted.

**CONSTITUTION:** The wiring width of a signal transmission line 203 which is formed on a package substrate 204 is made narrow in a region in which the line is overlapped with a semiconductor chip 201, and a drop, in an impedance, which is caused by a capacitance formed between the semiconductor chip 201 and the signal transmission line 203 is compensated.



## LEGAL STATUS

[Date of request for examination] 04.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3357435

[Date of registration] 04.10.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-147352

(43) 公開日 平成7年(1995)6月6日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 23/12	3 0 1 Z			
			H 0 1 L 23/ 12	N

審査請求 未請求 請求項の数2 OL (全 5 頁)

(21) 出願番号 特願平5-293239

(22) 出願日 平成5年(1993)11月24日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 林 輝義

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 原田 卓

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 今泉 市郎

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

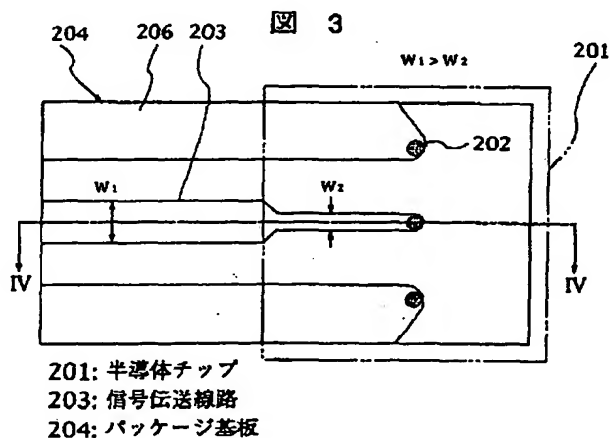
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 超高速LSIを形成した半導体チップを搭載するパッケージ内の信号伝送線路の特性インピーダンス整合を図る。

【構成】 パッケージ基板204上に形成された信号伝送線路203の配線幅を半導体チップ201と重なる領域で狭くし、半導体チップ201と信号伝送線路203との間に形成される容量に起因するインピーダンスの低下を補償する。



**【特許請求の範囲】**

【請求項1】 所定の特性を有する伝送線路を形成したパッケージ基板の主面上に半導体チップをフェイスダウン方式で実装し、前記伝送線路の一端を前記半導体チップの主面に形成した電極パッドの直下まで延在することによって、前記伝送線路の一端と前記電極パッドとを前記電極パッド上に形成したバンプ電極を介して電気的に接続した半導体集積回路装置であって、前記半導体チップと重なる領域の前記伝送線路の配線幅を他の領域よりも狭くしたことを特徴とする半導体集積回路装置。

【請求項2】 所定の特性を有する伝送線路を形成したパッケージ基板の主面上に半導体チップをフェイスダウン方式で実装し、前記伝送線路の一端を前記半導体チップの主面に形成した電極パッドの直下まで延在することによって、前記伝送線路の一端と前記電極パッドとを前記電極パッド上に形成したバンプ電極を介して電気的に接続した半導体集積回路装置であって、前記パッケージ基板の伝送線路上に誘電体層を設けたことを特徴とする半導体集積回路装置。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】本発明は、半導体集積回路装置に関し、特に、超高速LSIを搭載するパッケージに適用して有効な技術に関する。

**【0002】**

【従来の技術】超高速LSIを形成した半導体チップを搭載するためのパッケージを設計するに際しては、パッケージ内部の信号伝送線路の特性インピーダンスを如何にして整合させるかが重要な課題となる。これは、高周波信号を伝送する際に信号伝送線路の特性インピーダンスが不整合になると、信号の反射や波形歪などの伝送損失が生じて良好な伝送特性が得られなくなるからである。

【0003】ところが、従来の超高速LSIパッケージは、パッケージ内部の信号伝送線路全体のインピーダンス整合について十分な配慮がなされておらず、伝送速度が10[Gbit/s]を超えるような超高速LSIを搭載するには不適當であった。

【0004】その対策として、信号伝送線路を形成したパッケージ基板の主面上に半導体チップをフェイスダウン方式で実装し、信号伝送線路の一端を半導体チップの主面に形成した電極パッドの直下まで延在することによって、信号伝送線路と電極パッドとをバンプ電極を介して電気的に接続する実装方式が考えられる。この実装方式によれば、信号伝送線路と半導体チップとを最短距離で接続することができるので、信号伝送線路から半導体チップの電極パッドに到るまでの伝送特性を良好に保存することができる。

**【0005】**

【発明が解決しようとする課題】ところが、信号伝送線

路の一端を半導体チップの主面に形成した電極パッドの直下まで延在したパッケージ基板上に半導体チップをフェイスダウン方式で実装する前記の実装技術は、半導体チップの内部に形成されたGND配線とパッケージ基板上の信号伝送線路との距離が非常に接近し、両者の間に容量が形成されるため、これによって信号伝送線路のインピーダンスが低下してしまうことが本発明者の検討によって明らかとなった。

【0006】本発明の目的は、パッケージ内部の信号伝送線路全体の特性インピーダンスを良好に整合させた超高速LSIパッケージを提供することにある。

【0007】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

**【0008】**

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を説明すれば、以下のとおりである。

【0009】(1).請求項1記載の発明は、伝送線路を形成したパッケージ基板の主面上に半導体チップをフェイスダウン方式で実装し、前記伝送線路の一端を前記半導体チップの主面に形成した電極パッドの直下まで延在することによって、前記伝送線路の一端と前記電極パッドとを前記電極パッド上に形成したバンプ電極を介して電気的に接続したLSIパッケージにおいて、前記半導体チップと重なる領域の前記伝送線路の配線幅を他の領域よりも狭くしたものである。

【0010】(2).請求項2記載の発明は、伝送線路を形成したパッケージ基板の主面上に半導体チップをフェイスダウン方式で実装し、前記伝送線路の一端を前記半導体チップの主面に形成した電極パッドの直下まで延在することによって、前記伝送線路の一端と前記電極パッドとを前記電極パッド上に形成したバンプ電極を介して電気的に接続したLSIパッケージにおいて、前記パッケージ基板の伝送線路上に誘電体層を設けたものである。

**【0011】**

【作用】上記した手段(1)によれば、半導体チップと重なる領域の伝送線路の配線幅を狭くすることにより、半導体チップと信号伝送線路との間に形成される容量に起因するインピーダンスの低下を補償することができる。

【0012】上記した手段(2)によれば、パッケージ基板の伝送線路上に誘電体層を設けることにより、半導体チップと信号伝送線路との間に形成される容量に起因するインピーダンスの低下を補償することができる。

**【0013】**

【実施例】以下、実施例により本発明を詳述する。

【0014】(実施例1)図1は本発明の一実施例である半導体集積回路装置の平面図、図2は同じく断面図である。

【0015】本実施例の半導体集積回路装置は、アルミ

ナ、窒化アルミニウムなどのセラミックで構成されたパッケージ基板204の主面の中央部に半導体チップ201をフェイスダウンボンディングした超高速LSIパッケージである。半導体チップ201はGaAs基板、またはGaAs基板をサファイアなどの絶縁基板上に張り合わせたSOI基板で構成されている。この半導体チップ201の主面には超高速論理LSIが形成されている。

【0016】上記パッケージ基板204の主面には、所定の伝送特性を有する複数の信号伝送線路203が半導体チップ201の搭載領域を中心にして放射状に形成されている。また、各信号伝送線路203の両側には、それよりも幅の広いGND導体206が形成されている。すなわち、このパッケージ基板204は、その主面に信号伝送線路203とGND導体206とを交互に配置したコプレーナ構造を有している。

【0017】上記信号伝送線路203およびGND導体206のそれぞれの一端は、半導体チップ201の主面の直下まで延在され、パンプ電極202を介して半導体チップ201の電極パッド（図示せず）と電気的に接続されている。また、信号伝送線路203およびGND導体206のそれぞれ他端は、パッケージ基板204の外周部まで延在され、このLSIパッケージを実装基板に接続するための外部リード205と電気的に接続されている。

【0018】上記パッケージ基板204は、セラミック3層構造で構成され、その表面と裏面と各層間面とを含めて合計4層の導体層が形成されている。表面の第1導体層は、前述した信号伝送線路203およびGND導体206と電源導体217とからなる。また、第2導体層はGND導体207、第3導体層は電源導体208、裏面の第4導体層はGND導体209からなる。

【0019】上記第1～第4導体層は、タングステンなどの高融点金属からなり、第1導体層（信号伝送線路203、GND導体206および電源導体217）の表面には、下層から順にNiおよびAuのメッキが施されている。また、第1導体層のGND導体206、第2導体層（GND導体207）および第4導体層（GND導体209）は、スルーホール216を通じて互いに接続され、これによって接地電位の安定化が図られている。

【0020】上記第3導体層（電源導体208）は、スルーホール216およびパンプ電極202を介して半導体チップ201と電気的に接続され、かつスルーホール216および第1導体層の電源導体217を介して外部リード205と電気的に接続されている。この第3導体層（電源導体208）は、第2導体層（GND導体207）と第4導体層（GND導体209）とに挟まれているので、それらとの間に容量が形成され、これによって電源電位の安定化が図られている。

【0021】上記パッケージ基板204の主面の外周部

には、四角棒状のダム210が設けられている。このダム210は、前記パッケージ基板204と同種のセラミック材料で構成され、その上面にはろう材211を介してキャップ212が接合されている。このキャップ212は、例えばAuのメッキを施した42アロイなどの金属板で構成されている。また、ダム210の下面には、ろう材213を介して前記外部リード205が接合されている。外部リード205は、例えば42アロイやコパールなどのFe-Ni合金で構成されている。

【0022】上記パッケージ基板204の裏面には、これと略同一の外形寸法を有する金属ブロック214がろう材215を介して接合されている。金属ブロック214は、例えば10%のCuを含むW-Cu合金で構成され、GND電位の安定化、パッケージ基板204の補強およびヒートシンクとしての役割を兼ねている。

【0023】図3は、上記信号伝送線路203およびGND導体206と半導体チップ201とが重なる領域の拡大平面図、図4は、図3のVI-VI線における断面図である。

【0024】図3に示すように、上記パッケージ基板204上に形成された信号伝送線路203は、半導体チップ201と重なる領域の配線幅( $W_2$ )を他の領域の配線幅( $W_1$ )よりも狭くし、これによって半導体チップ201の内部に形成されたGND配線と信号伝送線路204との間に形成される容量に起因するインピーダンスの低下を補償する構造になっている。

【0025】例えば図5において、信号伝送線路203の配線幅( $W$ )=0.2mm、隣接するGND導体206との間のギャップ( $b$ )=0.2mm、パッケージ基板204の厚さ( $t_1$ )=0.2mm、パッケージ基板204を構成するセラミック材料の誘電率=10、信号伝送線路203上のエアギャップ=∞とした場合、信号伝送線路203のインピーダンスは、約50Ωとなる。

【0026】ところが、パッケージ基板204上に半導体チップ201をフェイスダウンボンディングすると、半導体チップ201内のGND配線220と信号伝送線路203との間に形成される容量のために、エアギャップ( $a_1$ )=0.2mmのときのインピーダンスは、約35Ωまで低下してしまう。このとき、本実施例のように、半導体チップ201と重なる領域の配線幅( $W_2$ )を0.15mmと狭くすることにより、信号伝送線路203のインピーダンスを約50Ωにすることができる。

【0027】（実施例2）図6に示すように、本実施例の超高速LSIパッケージは、信号伝送線路203を形成したパッケージ基板204上に誘電体層221を重ねることによって、半導体チップ201内のGND配線と信号伝送線路203との間に形成される容量に起因するインピーダンスの低下を補償する構造になっている。この誘電体層221は、例えば配線層を有しないセラミック基板からなる。

【0028】例えば図7において、信号伝送線路203の配線幅( $W$ )=0.15mm、GND導体206との間のギャップ( $b$ )=0.375mm、信号伝送線路203下のパッケージ基板204の厚さ( $t_1$ )=0.3mm、信号伝送線路203上の誘電体層221の厚さ( $t_2$ )=0.15mm、パッケージ基板204および誘電体層221を構成するセラミック材料の誘電率=10、信号伝送線路203上のエアギャップ=∞とした場合、信号伝送線路203のインピーダンスは、約50Ωとなる。

【0029】これに対し、上記パッケージ基板204上にエアギャップ( $a_1$ )=0.1mmで半導体チップ201をフェイスダウンボンディングした場合、信号伝送線路203のインピーダンスは約45Ωであり、半導体チップ201内のGND配線の影響は僅かである。

【0030】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0031】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0032】本発明によれば、半導体チップ内のGND配線と信号伝送線路との間に形成される容量に起因するインピーダンスの低下を補償できるので、パッケージ内の信号伝送線路全体の特性インピーダンスを良好に整合させることができる。

【0033】また、本発明によれば、半導体チップ内のGND配線の影響を考慮することなく信号伝送線路の設計を行うことができるので、超高速LSIを搭載するパッケージの設計が容易になる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置を

示す平面図である。

【図2】本発明の一実施例である半導体集積回路装置を示す断面図である。

【図3】図1に示す半導体集積回路装置の拡大平面図である。

【図4】図3のIV-IV線における断面図である。

【図5】図1に示す半導体集積回路装置の拡大断面図である。

【図6】本発明の他の実施例である半導体集積回路装置を示す拡大断面図である。

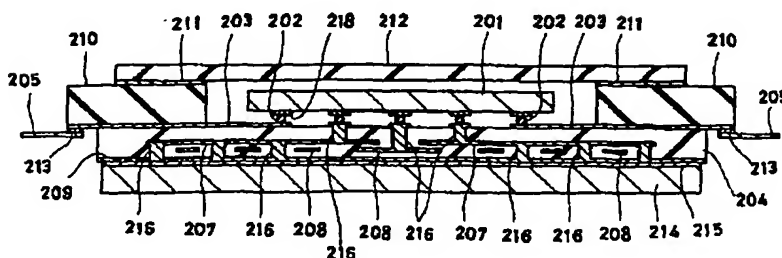
【図7】本発明の他の実施例である半導体集積回路装置を示す拡大断面図である。

【符号の説明】

- 201 半導体チップ
- 202 パンプ電極
- 203 信号伝送線路
- 204 パッケージ基板
- 205 外部リード
- 206 GND導体
- 207 GND導体
- 208 電源導体
- 209 GND導体
- 210 ダム
- 211 ろう材
- 212 キャップ
- 213 ろう材
- 214 金属ブロック
- 215 ろう材
- 216 スルーホール
- 217 電源導体
- 218 電極パッド
- 220 GND配線
- 221 誘電体層

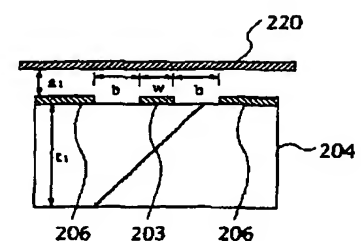
【図2】

図 2

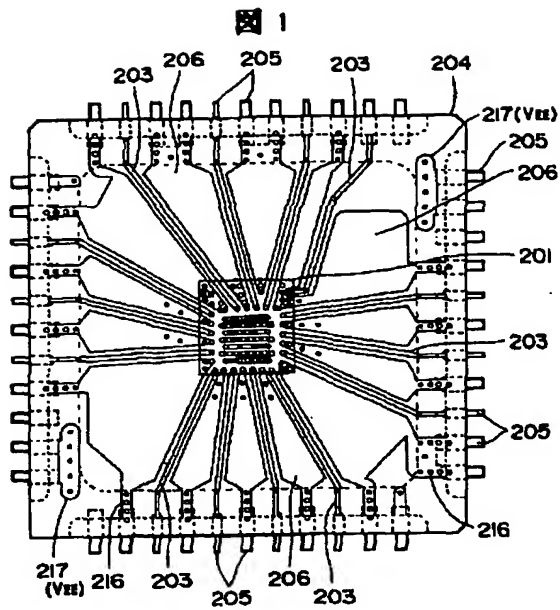


【図5】

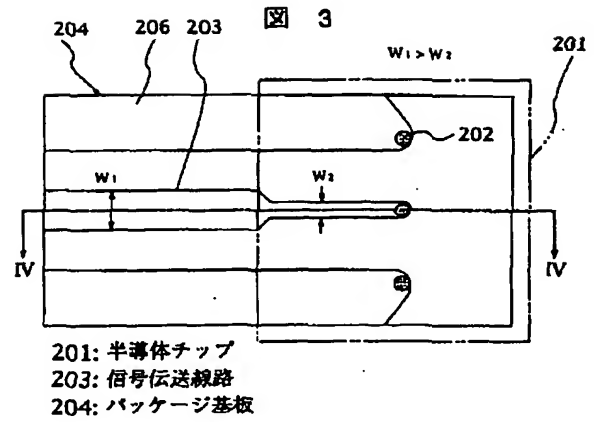
図 5



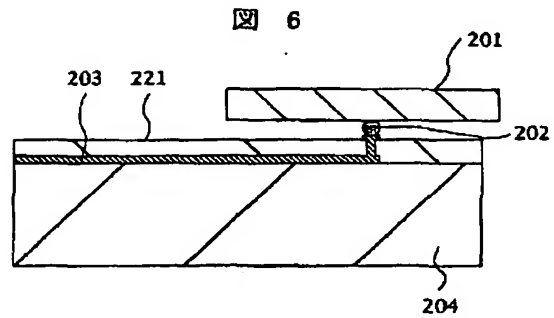
【図1】



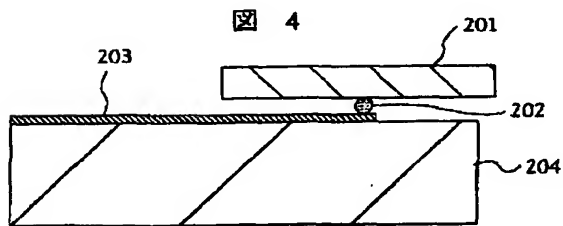
【図3】



【図6】



【図4】



【図7】

図 7

